

1572907: 2017-01-20

Die Erfindung betrifft eine Schaltungsanordnung zur Bitratenanpassung zweier Signale mit einem elastischen Speicher, in den die Nutzdaten eines nach Rahmen strukturierten ersten Signals mit einem Schreibzähler eingeschrieben werden und mit einem Lesezähler wieder ausgelesen werden, und einem Phasenvergleich zum Vergleichen der Zählerstände.

Eine derartige Schaltungsanordnung ist der DE 39 20 391 zu entnehmen (Anmeldetag: 22.06.1989); sie wird in der Nachrichtentechnik benötigt, um die in Rahmen eingeordneten Nutzdaten als plesiochrones Datensignal zurückzugewinnen. Es werden deshalb nur die Nutzdaten in den elastischen Speicher eingeschrieben, weil der Zähler bei allen anderen Daten des Signals angehalten wird und der Stand des Schreibzählers die Adressen angibt, unter denen Daten im elastischen Speicher abgelegt werden. Entsprechend gibt der Stand des Lesezählers die Adressen der Speicherstellen an, aus denen die Nutzdaten wieder ausgelesen werden.

Das Auslesen der Nutzdaten hat so zu erfolgen, daß die Abweichungen von der Sollbitrate des wiedergewonnenen plesiochronen Signals innerhalb der vorgeschriebenen Toleranzgrenzen bleiben. Eine Korrektur der Auslesegeschwindigkeit innerhalb dieser Toleranzgrenzen ist erforderlich, um zum Beispiel das Überlaufen des elastischen Speichers zu verhindern. Daher hat eine Überwachung der Stände der beiden Zähler zu erfolgen. Dieser Überwachung dient der Phasenvergleich, durch den die Differenz der Zählerstände oder eine dazu äquivalente Größe gebildet wird. Wird das Ausgangssignal des Phasenvergleichers als Regelabweichung für eine übliche Phasenregelschleife verwendet, mit der der Takt für den Lesezähler erzeugt wird, so hat das bei großen, sprunghaften Regelabweichungen den Nachteil, daß der Lesetak und damit das plesiochrone Signal mit starkem Jitter behaftet sind.

Solche Regelabweichungen kommen zum Beispiel vor, wenn die Nutzdaten in einem Synchronen Transport-Modul-1 übertragen werden (näheres vergleiche weiter unten). Der Schreibzähler muß dann für mehrere Bytes angehalten werden; er läuft also sehr ungleichmäßig. Dieser ungleichmäßige Lauf spiegelt sich auch in der Regelabweichung mit den nachteiligen Folgen für das plesiochrone Signal wieder.

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung mit den eingangs genannten Merkmalen anzugeben, bei der der Jitter im Takt für den Lesezähler weitgehend vermieden wird.

Diese Aufgabe wird dadurch gelöst, daß der Lesezähler und der Phasenvergleich Bestandteile eines Regelkreises sind, mit dem der Takt für den Lesezähler geregelt wird, das Ausgangssignal des Phasenvergleichers als Regelabweichung einem Regler zugeführt wird und als Stellglied eine steuerbare Oszillatorschaltung vorgesehen ist, mit dessen Ausgangssignal der Lesezähler getaktet wird.

Die Regelung des Taktes für den Lesezähler hat den Vorteil, daß relativ große Frequenzabweichungen aufgefangen werden können.

Eine erste vorteilhafte Ausgestaltung besteht darin, daß als steuerbare Oszillatorschaltung eine Phasenregelschleife verwendet wird, deren Führungsgröße zur Stellgröße des Regelkreises proportional ist. Diese Ausgestaltung macht den Regelkreis unempfindlicher gegen Störungen.

In einer weiteren vorteilhaften Ausgestaltung enthält

der Regler mindestens ein nichtlineares Glied, mit dem große Regelabweichungen überproportional verstärkt werden. Ein solches nichtlineares Glied sorgt für eine beschleunigte Ausregelung großer Regelabweichungen.

Gibt man dem Regler PI-Verhalten, so werden stationäre Phasenabweichungen bei konstanter Frequenzabweichung vermieden.

Anhand der Figuren und eines Ausführungsbeispiels soll die Erfindung näher erläutert werden.

Es zeigen:

Fig. 1 eine schematische Darstellung der Rahmenstruktur eines Synchronen Transport Moduls-1 (STM-1) und

Fig. 2 eine Schaltungsanordnung zur Taktanpassung mit Schaltungsmerkmalen nach der Erfindung.

In der schematischen Darstellung eines STM-1-Rahmens nach Fig. 1 ist die gesamte binäre Information des Rahmens in Zeilen unterteilt. Der Rahmen besteht aus neun Zeilen, wie die Summe der links in Fig. 1 stehenden Zahlen zu verstehen gibt. Jede Zeile enthält 270 Bytes, angedeutet durch die oberste Zahl in Fig. 1. Der gesamte Rahmen gliedert sich in drei Bereiche (wegen Details vgl. zum Beispiel die CCITT-Empfehlungen G.707, G.708, G.709, Blaubuch Genf 1988).

Der erste Bereich besteht aus der eigentlichen Nutzinformation, verpackt in einem virtuellen Container VC4, der in Fig. 1 ebenfalls zeilenweise dargestellt ist. Jede Zeile des virtuellen Containers VC4 besteht aus 291 Bytes; jede der Zeilen wird durch eine ein Byte lange Steuerinformation J1, B3, C2...Z5 angeführt. Die restlichen Bytes des Containers VC4 bestehen aus 18 festen Stopfbytes, einem Sonderbyte, das sechs Nutzbits, ein festes und ein variables Stopfbit enthält, und 241 Nutzbytes. Die Stopfinformationen für die variablen Bits sind in fünf der festen Stopfbytes enthalten.

Der zweite Bereich des Rahmens ist der Overhead-Bereich SOH, der die ersten neun Bytes bestimmter Rahmenzeilen ausfüllt. Dieser Bereich enthält Bytes, die unter anderem der Rahmensynchronisation, der Fehlerüberwachung und dem Netzmanagement dienen.

Der dritte Bereich ist der Pointer-Bereich PTR der administrativen Einheit AU-4. Hier befinden sich unter anderem Bytes, die die Lage des virtuellen Containers VC4 innerhalb eines Rahmens angeben. Diese Lage ist nicht festgelegt und auch nicht an die Rahmenstruktur gebunden, d. h., der Container kann in einem Rahmen beginnen und in einem zweiten enden. Außerdem sind in der Pointer-Zeile Platz für sechs Bytes vorgesehen, die der Taktanpassung dienen und in Ausnahmefällen entweder alle mit bedeutungslosen Füllbytes (positives Bytestopfen) oder alle mit zusätzlichen Nutzinformationsbytes (negatives Bytestopfen) besetzt werden. Die Regel ist der Fall, in dem drei mit Stopfbits und drei mit Informationsbits besetzte Bytes vorliegen. Die Stopfinformation für dieses variable Bytestopfen ist auch im Pointer-Bereich enthalten.

Die gesamte Rahmendauer beträgt 125 µs; das entspricht einer Übertragungsrate von 155,52 Mbit/s.

Hauptbestandteile der Schaltung nach Fig. 2 sind ein Pufferspeicher 6, ein Schreibzähler 7, eine Lesezähler 8, ein Rahmenzähler 12 und ein weiter unten näher erläuteter Regelkreis 8, 16, 18, 19 und 17. Der Stand des Schreibzählers 7 und der Stand des Lesezählers 8 werden von einem Vergleichler 16 miteinander verglichen, dessen Ausgangssignal die Regelabweichung des erwähnten Regelkreises angibt. Dieser Regelkreis regelt den Lesetak T2 für den Lesezähler 8, mit dem die Bits aus dem Pufferspeicher 6 ausgelesen werden. Die nomi-

nelle Taktfrequenz des Taktes T2 beträgt 139,264 MHz.

Eine Veränderung dieses Taktes ist an zwei Bedingungen geknüpft, nämlich an die, daß während des gesamten Betriebes der Schaltungsanordnung der Abstand zwischen Schreib- und Leseadressen möglichst einem vorgegebenen Abstand gleicht und an die, daß die Abweichung des Lesetaktes T2 von 139,264 MHz innerhalb vorgeschriebener Grenzen bleibt (± 15 ppm). Wie erfindungsgemäß diese beiden Bedingungen gleichzeitig erfüllt werden, soll nun im einzelnen erläutert werden.

Ein nach STM-1-Rahmen strukturiertes Eingangssignal wird einer Taktrückgewinnung 1 und einer Empfangsschnittstelle 2 zugeführt. Die Empfangsschnittstelle 2 erzeugt aus dem CMI-codierten ein binär codiertes Eingangssignal und die Taktrückgewinnung erzeugt den für das Binärsignal notwendigen Bittakt T1. Alle taktgebundenen Bausteine der Schaltung nach Fig. 2 werden mit diesem Bittakt T1 getaktet, sofern nicht ausdrücklich etwas anderes angegeben ist.

Ein Vergleichler 3 überträgt über eine Leitung 3a einen Impuls an den Setzeingang des Rahmenzählers 12, sobald das Rahmenkennungswort im Signal auf einer Leitung 2a aufgetreten ist.

Der Rahmenzähler 12 zählt sämtliche Bits eines Rahmens und gibt beim Durchlaufen vorbestimmter Zählerstände an seinen Ausgängen 12a bis 12d Impulse von der Länge eines Bits ab. Vergleichsschaltungen, mit denen derartige Impulse erzeugt werden, sind mit den Bezugszeichen 12A bis 12D versehen. Ihr innerer Aufbau liegt für den Fachmann auf der Hand, sobald er Funktionsangaben erhält. Dies gilt auch für alle anderen Bausteine, die lediglich durch ihre Wirkungsweise charakterisiert werden.

Eine Erkennungsschaltung 4 wertet die im Pointer-Bereich enthaltene Stopfinformation für Bytes aus. Diese Information gibt an, daß an einer später folgenden und festgelegten Stelle des Rahmens ein Byte auf der Senderseite positiv oder negativ gestopft worden ist. Ist er entgegen der Regel positiv gestopft worden, wird auf der Leitung 4a für die Dauer eines Rahmens eine logische Eins abgegeben, die ein NAND-Gatter 9 derart beeinflusst, daß sein Ausgang auf logisch Null geht, wenn die Vergleichsschaltung 12a feststellt, daß der Rahmenzähler gerade die Bits zählt, die zu dem gestopften Byte gehören.

Mit dem Ausgangssignal des NAND-Gatters 9 wird der Schreibzähler 7 angehalten, so daß die gestopften Bytes nicht in den Pufferspeicher 6 mit eingeschrieben werden. Ist entgegen der Regel negativ gestopft worden, enthalten also die dafür vorgesehenen Bytes Nutzinformationen, so muß der Schreibzähler 7 weiterlaufen, damit auch diese Bits in den Pufferspeicher 6 eingeschrieben werden. In diesem Falle gibt die Erkennungsschaltung 4 auf seinem Ausgang 4b eine logische Eins ab, die zusammen mit einem UND-Gatter 10, der Vergleichsschaltung 12B und der im Schreibzähler enthaltenen Logik dafür sorgt, daß er bedingungslos weiterläuft. Die Logik im Schreibzähler 7 besteht aus einem UND-Gatter mit drei Eingängen, einem ODER-Gatter mit zwei Eingängen, dessen einer Eingang mit dem Ausgang des UND-Gatters 10 verbunden ist, während der andere Eingang mit dem Ausgang des im Lesezähler 7 enthaltenen UND-Gatters verbunden ist.

Da in einem STM-1-Rahmen auch einzelne Stopfbits vorgesehen sind, die mit Nutzinformationen oder einem Füllbit besetzt sein können, ist eine zweite Erkennungsschaltung 5 vorgesehen, die die Stopfinformation

für diese einzelnen Bits auswertet. Ist gestopft worden, gibt die Erkennungsschaltung 5 eine Zeile lang eine logische Dauereins an einen Eingang eines NAND-Gatters 11 ab, dessen anderer Eingang über eine Leitung 12c mit dem Ausgang einer Vergleichsschaltung 12C verbunden ist. Die Vergleichsschaltung 12C gibt einen Impuls ab, wenn der Rahmenzähler die Stelle des Stopfbits erreicht hat. Dieser Impuls setzt den Ausgang des NAND-Gatters 11 auf logisch Null und hält damit — wegen der Verbindung mit dem UND-Gatter des Schreibzählers 7 — den Schreibzähler 7 für einen Takt lang an. Ist nicht gestopft worden, läuft der Schreibzähler 7 an der Stopfbitsstelle weiter.

Alle Bits oder Bytes, die zum Overhead-Bereich oder Pointer-Bereich gehören und niemals Nutzinformationen enthalten, werden ebenfalls in den Pufferspeicher 6 eingelesen. Über eine Vergleichsschaltung 12D und eine Leitung 12d, die zu einem Eingang des im Schreibzähler 7 enthaltenen UND-Gatters führt, wird der Schreibzähler 7 an den entsprechenden Stellen angehalten. An Stellen, die in der Regel keine Nutzinformationen enthalten, wird der Schreibzähler durch die Vergleichsschaltung 12d ebenfalls angehalten, wenn nicht das Weiterlaufen Vorrang hat (vergleiche weiter oben).

Die vom Lesezähler 8 im Dualcode erzeugten Adressen werden zunächst durch einen Codierer 13 in den Gray-Code gewandelt, in ein Register 14 mit dem Takt T1 übernommen und anschließend durch einen Decodierer 15 in den Dual-Code zurücktransformiert.

Sinn der Verwendung des Gray-Codes ist der, daß auf diese Weise bei der Synchronisierung der Leseadressen auf den Takt T1 die geringsten Fehler gemacht werden. Die Synchronisation wiederum ist für die ordnungsgemäße Subtraktion durch den Phasenvergleichler 16 erforderlich; er bildet die Differenz der Stände der Zähler 7 und 8, verschoben um den Sollabstand zwischen Schreib- und Lese-Adressen. Ist sein Ausgangssignal Null, haben Schreib- und Leseadressen ihren Sollabstand.

Ein Regler 18 ist so ausgelegt, daß er die dual codierten Regelabweichungen des Phasenvergleichers 16 unmittelbar verarbeiten kann. Er enthält zwei Zweige, einen ersten mit einem nichtlinearen Glied 18A und einem Akkumulator 18B, 18C sowie einen weiteren Zweig mit einem nichtlinearen Glied 18E. Durch den ersten Zweig wird das I-Verhalten und durch den zweiten Zweig das P-Verhalten des Reglers festgelegt. Die Signale beider Zweige werden durch einen Addierer 18F addiert.

Die beiden nichtlinearen Glieder 18A und 18E verstärken die Regelabweichung für große Werte überproportional, was zur Folge hat, daß große Regelabweichungen schneller ausgeglichen werden. Es hat sich als günstig erwiesen, die Überproportionalität für den I-Zweig wesentlich größer zu wählen als für den P-Zweig.

Im Ausführungsbeispiel besteht das Stellglied 17 des Regelkreises aus einer Phasenregelschleife 17A, 17B, 17C und 17D. Die Einheit 17B ist der Phasenvergleichler der Phasenregelschleife und der Baustein 17C enthält unter anderem den spannungsgesteuerten Oszillator der Phasenregelschleife und gegebenenfalls Filter. Die Teiler 17A und 17B teilen die Regelgröße und die Führungsgröße des Phasenregelkreises im Verhältnis 1 : 16 herunter.

Da für den Phasenregelkreis als Führungsgröße nur Impulsfolgen in Frage kommen, wird das Ausgangssignal des Addierers 18F durch eine Akkumulatorschaltung 19 (Sigma-Delta-Modulator) in eine Impulsfolge

gewandelt. In einem Addierer 19A werden die Ausgangsdaten des Addierers 18F und die eines Registers 19B addiert und — bis auf einen Übertrag — erneut in das Register eingeschrieben. Die Folge der Übertragsimpulse ist zur Größe der akkumulierten Zahlen proportional. 5

Patentansprüche

1. Schaltungsanordnung zur Bitratenanpassung 10
zweier Signale mit einem elastischen Speicher (6),
in den die Nutzdaten eines nach Rahmen strukturierten ersten Signals mit einem Schreibzähler (7)
eingeschrieben werden und mit einem Lesezähler
(8) wieder ausgelesen werden, und mit einem Pha- 15
senvergleichs (16) zum Vergleichen der Zähler-
stände, wobei der Lesezähler (8) und der Phasen-
vergleichs (16) Bestandteile eines Regelkreises
sind, mit dem der Takt für den Lesezähler (8) gere-
gelt wird, das Ausgangssignal des Phasenverglei- 20
chers (16) als Regelabweichung einem Regler (18)
zugeführt wird und als Stellglied (17) eine steuerbare
Oszillatorschaltung vorgesehen ist, mit dessen
Ausgangssignal der Lesezähler (8) getaktet wird.
2. Schaltungsanordnung nach Anspruch 1, dadurch 25
gekennzeichnet, daß als steuerbare Oszillatorschal-
tung (17) eine Phasenregelschleife (17A bis 17D)
verwendet wird, deren Führungsgröße zur Stell-
größe des Regelkreises proportional ist.
3. Schaltungsanordnung nach Anspruch 1 oder 2, 30
dadurch gekennzeichnet, daß der Regler (18) min-
destens ein nichtlineares Glied (18A, 18B) enthält,
mit dem große Regelabweichungen überproportio-
nal verstärkt werden.
4. Schaltungsanordnung nach Anspruch 1, 2 oder 3, 35
dadurch gekennzeichnet, daß der Regler (18) PI-
Verhalten hat.

Hierzu 2 Seite(n) Zeichnungen

40

45

50

55

60

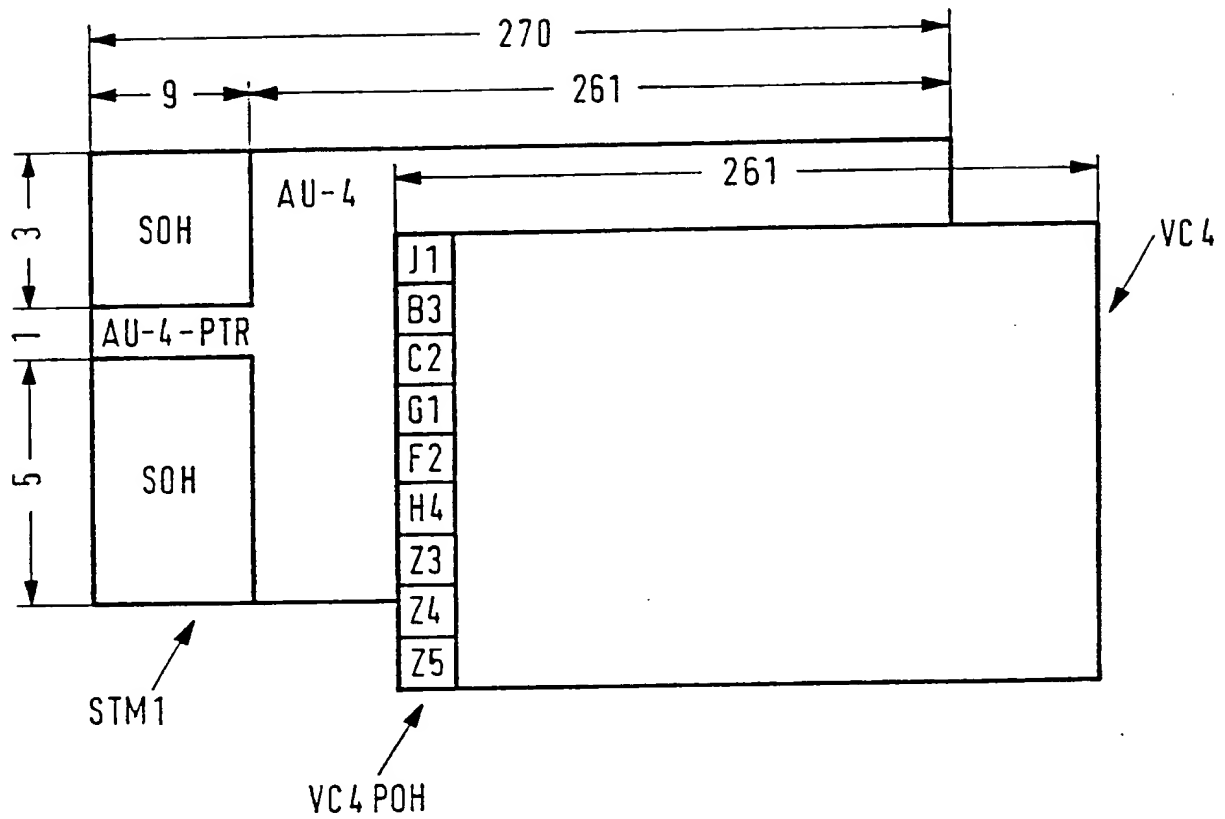


Fig. 1

BEST AVAILABLE COPY

Docket # SP 98 P 1048
Applic. # Armin Piper et al
Applicant: Armin Piper et al

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100 Fax: (954) 925-1101

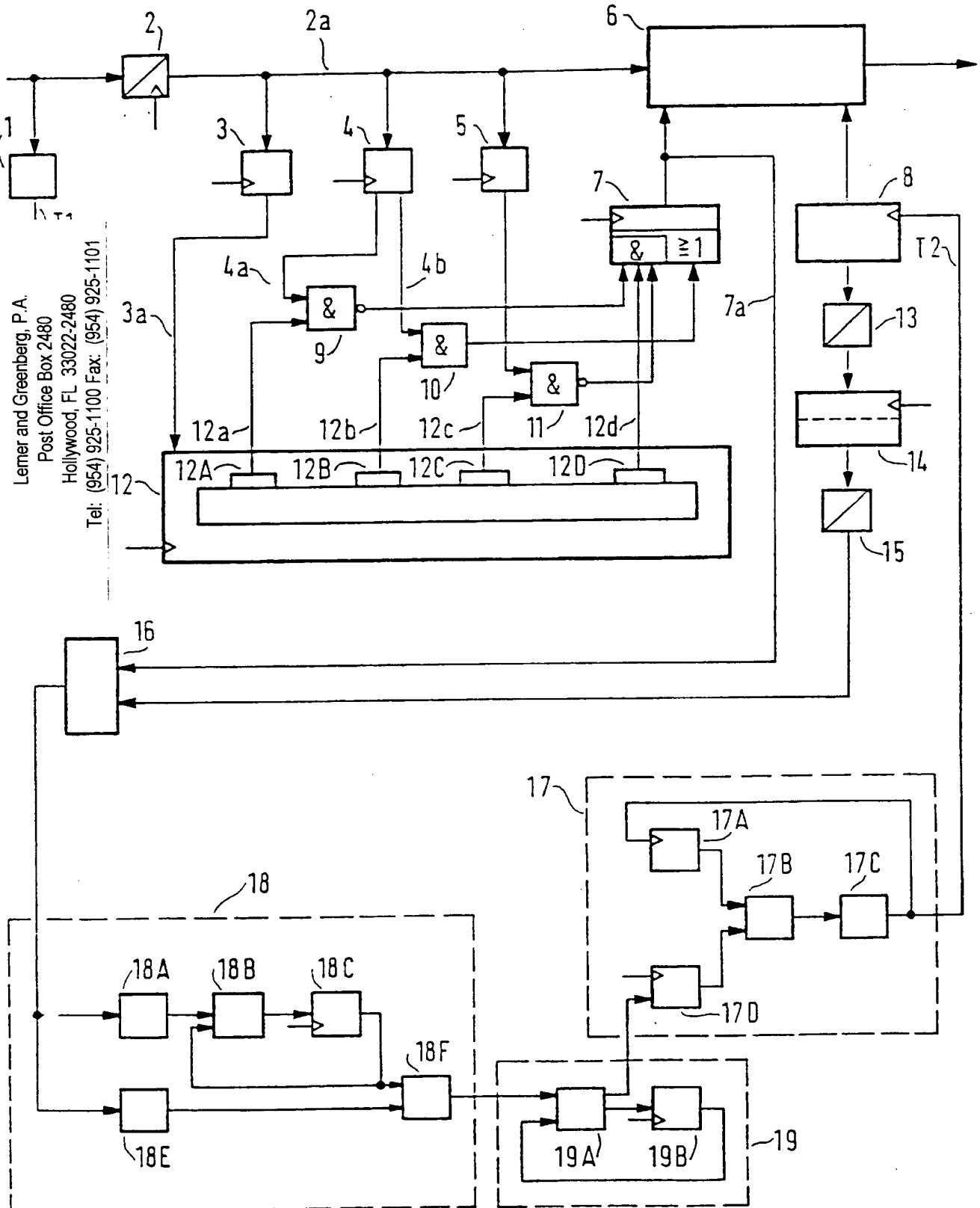


Fig. 2